

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

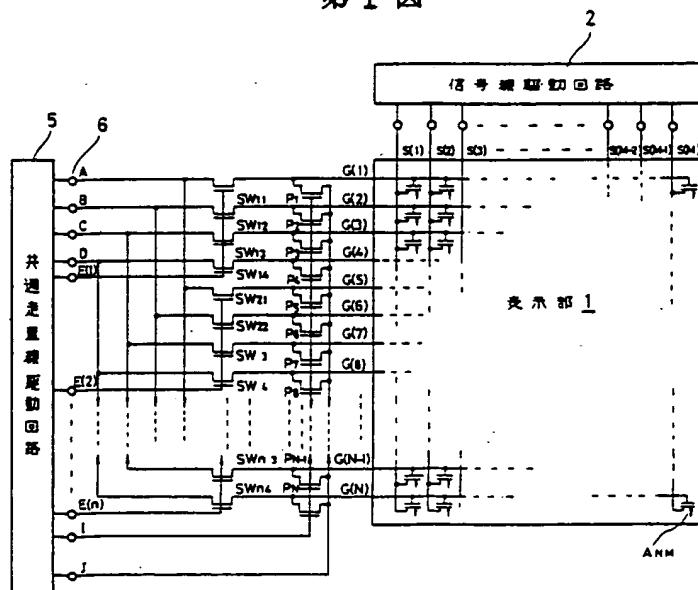
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

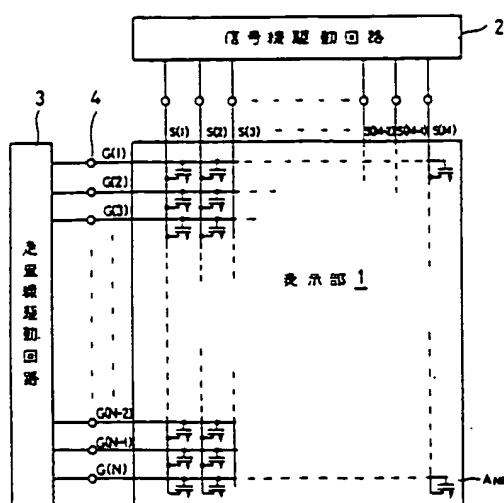
図、第4図は第1図の共通走査線駆動回路における各駆動信号の波形図である。1：表示部、2：信号線駆動回路、3：走査線駆動回路4、6：接続部、5：共通走査線駆動回路、S(1)～S(N)：信号線、G(1)～G(N)：走査線、A、B、C、D：共通線、E(1)～E(n)：分割プロック選択線、SW_a～SW_{an}：分割化スイッチング素子、P₁～P_n：放電用スイッチング素子、I：放電制御線、J：放電電位線。

出願人 キヤノン株式会社
代理人 垣 田 喬 雄

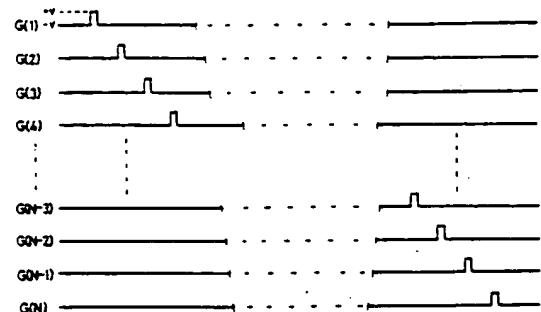
第1図



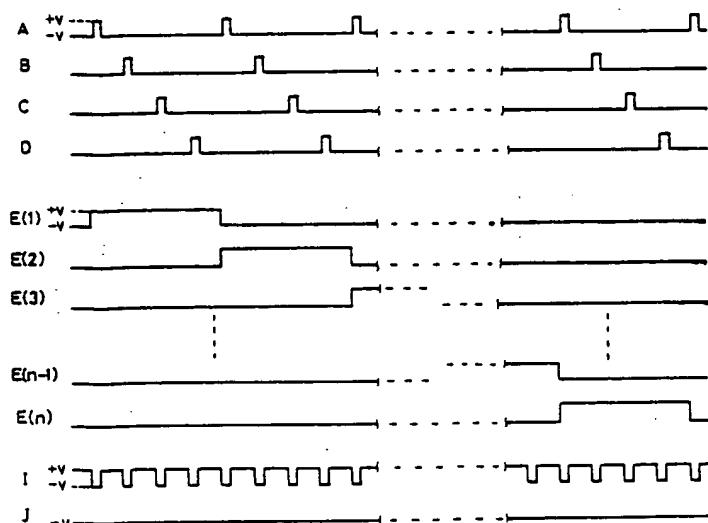
第2圖



第3圖



第4圖



DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

01245416

RECRYSTALLIZING METHOD OF SILICON FAMILY SEMICONDUCTOR MATERIAL

PUB. NO.: **58-182816** [JP 58182816 A]

PUBLISHED: October 25, 1983 (19831025)

INVENTOR(s): KOBAYASHI KEIJI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 57-065827 [JP 8265827]

FILED: April 20, 1982 (19820420)

INTL CLASS: [3] H01L-021/20; H01L-021/265; H01L-021/324; H01L-021/84; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 224, Vol. 08, No. 21, Pg. 46, January 28, 1984 (19840128)

ABSTRACT

PURPOSE: To synthesize polycrystalline silicon which is proximate to single crystal by such an arrangement wherein polycrystalline silicon is melted by heating, and molten silicon is caused to single-crystallize or microcrystalline by zone melt method.

CONSTITUTION: On a substrate 1 made of sapphire or quartz glass, a film 2 of SiO₂ of 0.3.μ.m is provided by oxidization at a high temperature. On the film 2 of SiO₂, a film of about 0.5.μ.m in thickness of silicon family semiconductor consists of noncrystalline silicon or polycrystalline silicon is formed by spatter method, etc. After that, this specimen is heated and processed at such temperatures lower than the softening temperature of the substrate 1 and higher than the melting point of the film 3 of silicon family semiconductor, and the silicon family semiconductor film 3 is caused to single-crystallize or microcrystallize. As said heat processing, for example, high frequency melting may be made at 1,250°C by using carbon as a heat generating substance and further annealing is made and then B or P may be introduced by ion injecting method, or annealing may be made in the atmosphere of gases such as Ar, N₂, etc.

⑪ 公開特許公報 (A)

昭58-182816

⑤Int. Cl.³
H 01 L 21/20
21/265
21/324
21/84
29/78

識別記号
7739-5F
6851-5F
6851-5F
7739-5F
7377-5F

厅内整理番号
7739-5F
6851-5F
6851-5F
7739-5F
7377-5F

⑩公開 昭和58年(1983)10月25日

発明の数 1
審査請求 未請求

(全 4 頁)

⑤シリコン系半導体材料の再結晶方法

②特 願 昭57-65827

②出 願 昭57(1982)4月20日

⑦発明者 小林啓二
川崎市幸区小向東芝町1番地東京芝浦電気株式会社総合研究所
内②出願人 東京芝浦電気株式会社
川崎市幸区堀川町72番地

④代理人 弁理士 鈴江武彦 外2名

明細書
1. 発明の名称
シリコン系半導体材料の再結晶方法

2. 特許請求の範囲

- (1) 基板上に非晶質シリコン或いは多結晶シリコンからなるシリコン系半導体を被覆したのち、上記基板の軟化温度以下でかつ上記半導体の融点以上の温度で加熱処理し、該半導体を単結晶化若しくは微結晶化させることを特徴とするシリコン系半導体材料の再結晶方法。
- (2) 前記加熱処理におけるエネルギー源として、熱線紫外線、放射線、レーザー光或いは電子ビームを使用したことを特徴とする前記特許請求の範囲第1項記載のシリコン系半導体材料の再結晶方法。
- (3) 前記シリコン系半導体を単結晶化若しくは微結晶化させる過程に於て、シリコン系半導体中に水素、弗素を含有させることを特徴とする前記特許請求の範囲第1項記載の多結晶シリコンの製造方法。

(4) 前記シリコン系半導体を単結晶化若しくは微結晶化させる過程に於て、Ar, H₂, C₂, N₂ガス雰囲気中で処理することを特徴とする前記特許請求の範囲第1項記載のシリコン系半導体材料の再結晶方法。

(5) 前記単結晶化若しくは微結晶化させる過程に於て、n形あるいはp形導電形を付与するドープ物質を加えることを特徴とする前記特許請求の範囲第1項記載のシリコン系半導体材料の再結晶方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、非晶質シリコンや多結晶シリコン等のシリコン系半導体を単結晶化若しくは微結晶化せしめるシリコン系半導体材料の再結晶方法に関する。

〔発明の技術的背景とその問題点〕

従来の技術としては、非晶質シリコンや多結晶シリコン等に直接レーザーアニールを行つて結晶化したり、p形、n形をつくるために、シ

ラン (S & H) ジボラン、フォスファインを加えることによって所望の導電形を得ていた。しかし、この方法では得られた結晶粒径が $1 \sim 2$ (μm) 程度であり、充分高い正孔移動度、電子移動度が得られず、半導体の特性の電圧電流曲線の再現性も充分でなく、液晶テレビなどの高速デバイスとして使用するには困難である。また減圧 CVD 法によって多結晶シリコンを基板上に直接つける方法があるが、非晶質シリコンに比べて膜厚を薄くすることが困難であり、長時間を要するという欠点がある。

〔発明の目的〕

本発明の目的は、グロー放電法やスパッタ法によって作製された非晶質シリコン或いは CVD 法によって作製された多結晶シリコンを加熱浴融、ゾーンメルト法によって単結晶化若しくは微結晶化し、単結晶に近い多結晶シリコンを合成し得るシリコン系半導体材料の再結晶方法を提供することにある。なお、ここでいう微結晶化とは必ずしも系全体に結晶が分散して

3

わんでしまい、半導体基板として使用不能となるからである。

〔発明の効果〕

本発明によれば、上記の過程を経た多結晶シリコンを基板として用い、例えば電界効果トランジスタを作製して見ると、FET の正孔移動度が $90 \sim 250$ (cm^2/sec) 程度であり、しきい値電圧のばらつきが少く、リーク電流も 10^{-11} (A) 程度のものが得られた。また、基板の結晶粒径も $3 \sim 15$ (μm) 程度のものであり、これらの基板は FET だけではなく太陽電池、ビデオディスク基板としても工業的に使用可能である。したがって、本発明方法の有用性は極めて大きい。

〔発明の実施例〕

図は本発明の実施例を説明するための断面図である。まず、サファイアや石英ガラス等からなる基板 1 を用いて、この基板 1 上に 0.3 (μm) の厚さの SiO₂ 膜 2 を高温焼成でつける。この SiO₂ 膜 2 上に約 0.5 (μm) の厚さの非晶質シリ

コン膜 3 ではなく、部分的微結晶或いは結晶と非晶質との共存による不均質構造をも含む。

〔発明の概要〕

本発明は、基板の上にグロー放電による非晶質シリコン或いは CVD 法による多結晶シリコンからなるシリコン系半導体を形成したのち、熱、レーザ光、放射線等をエネルギー源とし、上記シリコン系半導体を基板の軟化温度以下で、かつシリコン系半導体の融点より高い温度で加熱処理し、シリコン系半導体を単結晶化若しくは微結晶化するようにした方法である。なお、グロー放電によって水素や弗素等を導入して作成した非晶質シリコンを上記エネルギー源を使用して微結晶化させてもよい。さらに、微結晶化させる過程に於て、Ar, C, N₂, H₂ ガス雰囲気中で行つてもよく、非晶質シリコンを微結晶化させてロ形、p 形導電形を形成させた多結晶シリコンを得ることも可能である。また、加熱処理の温度を基板の軟化点以下にしている理由は、これ以上の温度で処理すると基板がた

4

リコン或いは多結晶シリコンからなるシリコン系半導体膜 3 をスパッタ法又はグロー放電法で膜付けする。しかるのち、この試料を基板 1 の軟化温度以下でシリコン系半導体膜 3 の融点以上の温度で加熱処理して、シリコン系半導体膜 3 を単結晶化若しくは微結晶化せしめる。ここで上記加熱処理としては、例えば 1250 ($^{\circ}C$) で炭素を発熱体として高周波溶融を行い、さらにアニールを行つたのち、イオン注入法で B 或いは P を導入してもよく、また Ar, N₂ 等のガス雰囲気中でアニールを行つてもよい。さらにこれらのシリコン系半導体膜 3 中に水素或いは弗素を導入して系を安定化し、微結晶化させてもよい。基板のアニールはレーザーアニール、熱アニール、電子ビームアニール等いずれか一回以上行つてもよい。

〔実施例 1〕

前記した酸化膜と CVD 法で多結晶シリコンをサファイア基板上につける。次いで、 1400 ($^{\circ}C$) の温度で一塙溶融を行つたのち、CW-Ar

5

-80-

6

レーザー 12W、スキャン速度 2.5cm/s、基板温度 150°C) アニール後、P のイオン注入をドーズ量 $1 \times 10^{11} (\text{cm}^{-2})$ 、加速電圧 130 [KeV] で行った。これを用いて P-チャネル FET を作製し、正孔移動度を測定したところ $\mu = 170 (\text{cm}^2/\text{V}\cdot\text{sec})$ リーク電流 $10^{-11} (\text{A})$ であった。結晶粒径は約 12 (μm) であった。作製した膜を X 線回折で調べたところ結晶方位 (111), (110), (100) の回折パターンが認められた。

<実施例 2.>

酸化膜、水素含有多結晶質シリコンを石英基板上につけ、1200°C) でゾーンメルトを行った。次いで、アニール後 P のイオン注入をドーズ量 $1 \times 10^{11} (\text{cm}^{-2})$ 、加速電圧 130 [KeV] で行った。これを用いて P-チャネル FET を作製し、正孔移動度を測定したところ、 $\mu = 150 (\text{cm}^2/\text{V}\cdot\text{sec})$ 、リーク電流 $5 \times 10^{-10} (\text{A})$ であった。粒径は 1.5 (μm) であった。作製したポリシリコンの結晶方位は (111),

7

$\text{sec})$ であった。粒径は約 1.0 (μm) であり、結晶方位は (100) (110) 等が折出していた。

<実施例 5.>

前記サファイア基板、酸化膜、グロー放電による水素含有アモルファス Si をつけた基板を 1000°C) の温度で 10 分間熱処理したのち、N₂ 密閉気中で 150°C) 烟焼アニールした。この非晶質シリコン中に P をドーズ量 $1 \times 10^{11} (\text{cm}^{-2})$ 、加速電圧 120 [KeV] の条件で注入をし、FET を作製し、正孔移動度を測定したところ $\mu = 0.5 (\text{cm}^2/\text{V}\cdot\text{sec})$ 、粒径は 500 (Å)、リーク電流は $10^{-12} (\text{A})$ であった。結晶方位は (100) (111) (110) が折出していた。

以上説明した実施例から判るように、本発明は非晶質シリコン或いは多結晶シリコンから単結晶若しくは微結晶を有するすぐれた半導体材料を合成する方法であり、工業的にすぐれた合成方法であるといふことができる。

4. 図面の簡単な説明

図は本発明の実施例を説明する断面図である。

() 等であった。

<実施例 3.>

前記サファイア基板、酸化膜、多結晶シリコンを用い、3 層構造にしたもの 1250°C) の温度で 10 分間熱処理したのち、200°C) で電子ビームアニールを行い単結晶化させた。ドーズ量 $2 \times 10^{11} (\text{cm}^{-2})$ 、加速電圧 100 [KeV] で P のイオン注入を行い、P チャネル FET を作製し、正孔移動度を測定したところ $\mu = 250 (\text{cm}^2/\text{V}\cdot\text{sec})$ であった。粒径は 1.0 (μm) であり、多結晶の方位は (100) のものが折出していることを X 線回折で確認した。

<実施例 4.>

前記石英基板、酸化膜、Lp-CVD 法による多結晶シリコンを用い、3 層構造にしたもの 1300°C) の温度で 10 分間熱処理した。その後、Ar ガス中でレーザアニールしドーズ量 $1 \times 10^{11} (\text{cm}^{-2})$ 、加速電圧 130 [KeV] で P のイオン注入を行い、P チャネル FET を作製し、正孔移動度を測定したところ $\mu = 170 (\text{cm}^2/\text{V}\cdot\text{sec})$ であった。

8

図において、1…ウエハー、2…酸化膜、3…アモルファスシリコン、4…イオン注入、5…レーザアニール。

出願人代理人 井端士 鈴江 武彦

